

**BUNDESREPUBLIK DEUTSCHLAND**

10/523764

EP/03/8080



REC'D 11 NOV 2003

WIPO

PCT

**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung**

**Aktenzeichen:** 102 43 322.4

**Anmeldetag:** 18. September 2002

**Anmelder/Inhaber:** PACT XPP Technologies AG, München/DE

**Bezeichnung:** Analoge rekonfigurierbare Datenverarbeitungseinrichtung

**IPC:** G 06 G 7/06

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

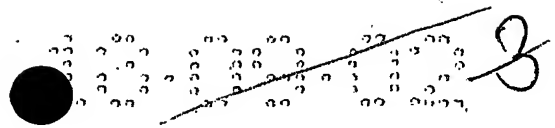
München, den 2. September 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

*[Signature]*  
/etang

BEST AVAILABLE COPY

Akte: PACT37



Anmelder: Pact XPP Technologies AG  
Muthmannstr. 1  
80939 München

5 Vertreter: Patentanwalt  
Claus Peter Pietruk  
Heinrich-Lillienfein-Weg 5  
D-76229 Karlsruhe  
Vertreter-Nr. 321 605

10

Deutsche Patentanmeldung

Titel: Analoge rekonfigurierbare Datenverarbeitungseinrichtung

15

Hintergrund der Erfindung

Stand der Technik

20 Zur integrierten elektronischen Verarbeitung von Informationen, die in Form analoger Signale vorliegen, existieren gegenwärtig mehrere Konzepte:

- Diskrete analoge, nicht programmierbare Bausteine, wie etwa Transistoren und Operationsverstärker;

25

- Analoge, programmierbare, integrierte Schaltkreise, genannt FPAAs (Field Programmable Analog Arrays), FPMAs (Field Programmable Mixed-Signal Arrays) oder FPADs (Field Programmable Analog Devices). FPAAs, FPMAs und FPADs bestehen ähnlich wie 30 die digitalen FPGAs (Field Programmable Gate Arrays) aus einzelnen, programmierbaren Zellen. Im Fall von FPAAs, FPMAs und FPADs ist das Kernstück einer solchen Zelle ein analoger

Operationsverstärker, dem eine bestimmte Funktion aus einem Satz möglicher Funktionen zugewiesen werden kann. Mögliche Funktionen sind zum Beispiel Addierer, Inverter, Gleichrichter und Filter erster Ordnung, mit denen ein analoges Signal bearbeitet werden kann. Die Zellen stehen untereinander durch ein Bussystem in Verbindung und werden durch logische Elemente gesteuert;

- Anwendungsspezifische, nicht programmierbare integrierte Schaltkreise, genannt ASICs (Application Specific Integrated Circuits);

- Programmierbare, voll digitale Prozessoren, genannt DSPs (Digital Signal Processors) oder CPUs (Central Processing Units), die der digitalen Verarbeitung analoger Signale nach deren vorhergehender Analog-Digital-Wandlung dienen. Wenn nach der Verarbeitung wieder ein analoges Signal vorliegen soll, muss nach der Verarbeitung eine Digital-Analog-Wandlung des Signals vorgenommen werden.

### Probleme

Diskrete analoge Bausteine

Eine Schaltung mit diskreten Bauelementen kann aufgrund ihrer primären Flexibilität zwar optimal für eine bestimmte Aufgabe ausgelegt werden.

Die Aufgaben der Schaltung müssen allerdings zum Zeitpunkt des Schaltungsentwurfs genau bekannt sein, denn eine nachträgliche Anpassung der Schaltung an veränderte Anforderungen ist nicht oder nur mit erheblichem Aufwand möglich. Dies gilt insbesondere für die Programmierbarkeit und für Umkonfigura-

tionen im Betrieb. Außerdem wird eine solche Schaltung bei komplexeren Aufgaben schnell umfangreich.

FPAAs, FPMAs, FPADs

5 Die durch FPAAs, FPMAs und FPADs gegebenen Möglichkeiten zur Verarbeitung analoger Signale orientieren sich am Vorbild klassischer analoger Signalverarbeitungsanlagen. Sie sind für das zu verarbeitende Signal weitgehend transparent, das heißt, das zu verarbeitende Signal wird bis zu einer bestimmten, bausteinabhängigen Frequenz in Echtzeit bear-  
10 beitet.

Eine einfache Möglichkeit, analoge Werte zu speichern, existiert nicht, insbesondere nicht die Möglichkeit, den analogen Eingangswert und/oder den Ausgangswert jeder einzelnen  
15 Zelle zu speichern. Viele wichtige Operationen, wie etwa Schleifenberechnungen, und sämtliche Prozesse, bei denen mehrere Signale zeitlich koordiniert nacheinander verarbeitet werden, werden durch Speicherung jedoch erst möglich. Eine einzelne FPAA-, FPMA- oder FPAD-Zelle kann zwar als Speicher  
20 nach Art einer Sample-and-Hold-Stufe konfiguriert werden. Sie kann dann jedoch keine zusätzliche Funktion mehr ausüben.

FPAAs, FPMAs und FPADs sind aufgrund ihrer ausschließlich analogen Signalverarbeitung funktionellen Einschränkungen unterworfen. Die Fähigkeiten der in FPAAs, FPMAs und FPADs im-  
25 plementierten digitalen Logik beschränken sich auf die Funktionen, die für die Umkonfiguration der Zellen notwendig sind. Die Funktion der Zellen, die diese während des Betriebs ausüben, wird durch die Logik nicht unterstützt, geschweige  
30 denn erweitert, etwa durch digitale Zählfunktionen oder logische Grundfunktionen wie beispielsweise NAND und NOR. Insbesondere gibt es keine jeweils zu einer einzigen Zelle gehö-

renden logischen Strukturen, die solche digitalen Zählfunktionen oder logischen Grundfunktionen durchführen können. Mit FPAA's, FPMAs und FPADs sind deshalb logische Funktionen wie zum Beispiel

- 5 eingangssignalabhängige Entscheidungen, wenn überhaupt, nur in geringem Maße oder nur sehr aufwendig möglich.

Dasselbe gilt für die datenabhängige Rekonfiguration von FPAA's, FPMAs und FPADs, beispielsweise (aber nicht nur) nach  
10 Art einer IF-THEN-ELSE-Anweisung. Soll eine FPAA-, FPMA- oder FPAD-Zelle aufgrund von Kriterien, die die zu verarbeitenden oder bereits verarbeiteten Analogsignale betreffen, rekonfiguriert werden, so muß das betroffene Analogsignal über eine temporäre oder sogar permanente Verbindung nach außen zu ei-  
15 ner externen, nicht in dem FPAA, FPMA oder FPAD enthaltenen Struktur geführt werden, welche über eine etwaige Rekonfiguration entscheiden und diese Rekonfiguration auslösen und durchführen muß. Es besteht für die Zelle keine Möglichkeit, abhängig von einem Analog- oder Digitalsignal selbständig,  
20 das heißt mit ihr eigenen Strukturen, über eine Rekonfiguration ihrer selbst zu entscheiden, diese Rekonfiguration zu veranlassen und die dazu notwendigen Daten von einer internen, auf dem Baustein enthaltenen, dafür geeigneten Struktur zu erhalten.

25

Will man das Ergebnis der Operation einer Zelle auf deren Eingang führen, zum Beispiel bei Schleifenoperationen, so kann das bei FPAA's, FPMAs und FPADs nur mittels des Busses geschehen; eine eigene Leitung zur Rückführung des Operati-  
30 onsergebnisses auf den Eingang der Zelle zur Entlastung des Busses ist bei FPAA's, FPMAs und FPADs nicht vorgesehen.

Akte: PACT37

Die genannten Nachteile schließen es aus, mit FPAA's, FPMAS und/oder FPADs ein analoges Rechenwerk aufzubauen, das die Flexibilität und den Funktionsumfang heutiger digitaler Rechenwerke erreicht.

5

#### ASICs

ASICs besitzen eine hohe primäre Flexibilität, da sie für eine spezielle Anwendung entwickelt werden. Sie eignen sich jedoch nur für diejenige Anwendung, für die sie entwickelt werden; rekonfigurierbar sind ASICs nur in demjenigen Rahmen, den die Anwendung vorgibt. Ändert sich die Anwendung um ein Detail, welches bei der Entwicklung des ASICs nicht berücksichtigt wurde, so muß im Extremfall ein neuer ASIC entwickelt werden.

10

15

#### DSPs und CPUs

Unter allen Möglichkeiten zur Signalverarbeitung können DSPs und CPUs zwar am flexibelsten konfiguriert und rekonfiguriert werden, allerdings weder teilweise, noch während der Laufzeit.

20

Um Analogsignale in ein für DSPs oder CPUs geeignetes Format umzuwandeln, müssen die analogen Signale digital kodiert werden. Dies erfordert eine Analog-Digital-Wandlung, die

25

bei höheren Anforderungen an die Präzision recht aufwendig und teuer werden und überdies noch die Bandbreite beschränken kann. Entsprechendes gilt für die Rücktransformation der digitalen, verarbeiteten Daten in Analogsignale. Um ausreichende Schnelligkeit zu erzielen, müssen die internen Bussysteme

30

in DSPs und CPUs die einzelnen Bits eines digital kodierten Analogsignals parallel übertragen. Die erforderliche Breite des Datenbussystems wächst mit der geforderten Präzision der digitalen Kodierung des Signals. Im Gegensatz dazu genügt bei

8

Akte: PACT37

einer analogen Übertragung eine Leitung pro übertragenem Analogsignal.

DSPs und CPUs besitzen überdies keine zellartige Struktur, sondern sind in der klassischen von-Neumann-Architektur aufgebaut. Ihre Modularität ist deshalb nur gering.

Die heute existierenden analogen Rechenwerke erreichen bei weitem nicht den Funktionsumfang und die Konfigurierbarkeit heute existierender digitaler Rechenwerke.

Umgekehrt werden analoge Schaltungen zunehmend durch digitale Rechenwerke ersetzt, etwa im Fall der DSPs, wobei man die bei den DSPs genannten Nachteile in Kauf zu nehmen hat.

Die heute existierenden Methoden zur Verarbeitung analoger Signale haben zum Ziel, diese analogen Daten zu modifizieren. Sind die dazu verwendeten Bausteine konfigurierbar, dann wird die Art und Weise, wie die analogen Signale zu modifizieren sind, ausschließlich durch digitale Logik eingestellt, das heißt, die Steuerung erfolgt ausschließlich durch digitale Signale. Es existieren weder Möglichkeiten, die Datenverarbeitungssteuerung unmittelbar durch analoge Signale vorzunehmen, noch Möglichkeiten, analoge Signale mit dem Funktionsumfang eines digitalen Rechenwerks zu bearbeiten.

25

#### Verbesserung durch die Erfindung, Aufgabe

Die Erfindung umfaßt ein programmierbares, analoges Rechenwerk (Reconfigurable Analog Processor, RAP) mit durch logische Elemente erweiterten Funktionen, in der Weise, daß der Funktionsumfang eines digitalen Rechenwerks verbunden wird mit der Möglichkeit zur schnellen, analogen Berechnung komplexer Funktionen (etwa der Logarithmusfunktion) und der Re-

Akte: PACT37

konfigurierbarkeit eines DFPs gemäß Offenlegungsschrift  
DE4416881A1.

Ein RAP besteht aus Zellen, die in ihrer Funktion und Vernet-  
5 zung frei konfigurierbar und während der Laufzeit rekonfigu-  
rierbar sind. Bei der Rekonfiguration einer einzelnen Zelle  
während der Laufzeit werden andere Zellen nicht in ihrer Ar-  
beit beeinträchtigt. Eine Zelle ist unterteilt in eine Ana-  
logsektion und eine Logiksektion. Die Analogsektion dient der  
10 Verarbeitung analoger Daten auf der Basis von Operationsver-  
stärkerschaltungen, wie sie von FPAA's, FPMAs und FPADs her  
bekannt sind. Die Logiksektion steuert die Funktionen der  
Analogsektion während der Laufzeit, bei der Anfangskonfigura-  
tion und bei der Umkonfiguration während der Laufzeit.

15 Die Analogsektion kann aber auch analog gesteuert und konfi-  
guriert werden. Die Datenverarbeitung findet wie bei FPAA's,  
FPMAs und FPADs in erster Linie analog statt; der Funktion-  
sumfang wird jedoch durch besondere Strukturen mit jeweils  
einer Logiksektion und verschiedenen Speichern in jeder Zelle  
20 dahingehend erweitert, daß in der Zelle eingangsdatenabhängi-  
ge logische Operationen, Vergleiche, Schleifenoperationen und  
Zählvorgänge schnell und einfach durchgeführt werden können,  
so daß ein Funktionsumfang ähnlich dem eines voll digitalen  
Rechenwerks erreicht wird.

25 Es besteht für jede RAP-Zelle zur Vereinfachung ihrer Rekon-  
figuration die Möglichkeit, abhängig von einem Analog- oder  
Digitalsignal selbständig, das heißt mit ihr eigenen, inter-  
nen Strukturen, über eine Rekonfiguration ihrer selbst zu  
30 entscheiden, diese Rekonfiguration zu veranlassen und die da-  
zu notwendigen Daten von einer dafür geeigneten Struktur zu  
erhalten.



Akte: PACT37

Zwei unabhängige, rekonfigurierbare Bussysteme, eines für analoge Signale, das andere für digitale Signale, vernetzen die Zellen untereinander und mit der Außenwelt. Jedes analoge Signal benötigt zu seiner Übertragung nur eine analoge Busleitung. Bei einem digitalen Bus wächst die Zahl der benötigten Leitungen bei paralleler Übertragung mit der geforderten Präzision der digitalen Codierung des analogen Signals stark an. Die notwendige Busbreite eines analogen Busses ist deshalb im Vergleich zu der eines digitalen Busses bei vergleichbarer Signalauflösung und Übertragungsrate ganz wesentlich verringert.

Die Erfindung beschreibt sonst u.a. ein analoges, umkonfigurierbares Rechenwerk (Reconfigurable Analog Processor, RAP) aus einzelnen funktionalen Zellen, die durch ein geeignetes Bussystem untereinander und mit der Außenwelt verbunden sind. Die Funktion der Zellen ist konfigurierbar und kann während des Betriebs so rekonfigurierbar sein, daß dabei die Funktion anderer, nicht zu rekonfigurierender Zellen nicht beeinträchtigt wird. Eine funktionale Zelle enthält eine Analogsektion und eine Logiksektion. Die Analogsektion dient der Verarbeitung analoger Daten auf der Basis von Operationsverstärkerschaltungen. Die Logiksektion steuert die Funktionen der Analogsektion während der Laufzeit, bei der Anfangskonfiguration und bei der Umkonfiguration während der Laufzeit. Außerdem erweitert die Logiksektion die rein analogen Funktionen der Analogsektion durch die Bereitstellung von Logikfunktionen und digitalen Zählfunktionen. Jeder Zelle können ein oder mehrere analoge Speicher zugeordnet sein, die analoge Größen wie beispielsweise Eingangs- oder Ausgangssignale speichern und zur weiteren Verarbeitung bereitstellen können. Außerdem gehören zu jeder Zelle ein oder mehrere digitale Register zur

Speicherung von digitalen Daten, die für die Konfiguration und den Betrieb der Zelle notwendig sind.

Für jede Zelle besteht die Möglichkeit, abhängig von einem Analog- oder Digitalsignal selbständig, das heißt mit ihr eigenen internen Strukturen, über eine Rekonfiguration ihrer selbst oder anderer Zellen zu entscheiden, diese Rekonfiguration zu veranlassen und die dazu notwendigen Daten von einer dafür geeigneten Struktur, welche sich auf dem Baustein befinden kann, zu erhalten. Es existiert weiterhin die Möglichkeit, das analoge Ergebnis der Operation einer Zelle ohne Zugriff auf ein Bussystem auf den analogen Dateneingang der Zelle zurückzuführen.

### Definitionen

In dieser Schrift werden Begriffe verwendet, deren Bedeutung von der allgemein gebräuchlichen in manchen Punkten abweichen kann. Zum besseren Verständnis folgen die Begriffsdefinitionen, wie sie in dieser Schrift verwendet werden.

Ein **Signal** soll hier definiert sein als eine Größe, beispielsweise eine Spannung  $U_0(t)$ , die zu einem bestimmten Zeitpunkt an einem bestimmten Punkt einer Schaltung herrscht. Ein solcher Punkt kann beispielsweise ein Ausgang, ein Eingang oder eine Busleitung sein. Die Spannung  $U_0(t)$  kann entweder auf Masse (GND) oder auf eine zweite Spannung  $U_1(t)$  bezogen sein. Das Signal kann zeitlich konstant oder zeitlich veränderlich sein.

**Information** soll hier definiert sein als Anzahl der möglichen, unterscheidbaren Zustände, die ein Signal annehmen kann.

Als **digitales Signal** oder **Digitalsignal** soll hier ein Signal dann bezeichnet werden, wenn es nur zwei Zustände, beispielsweise 0 oder 1, annehmen kann, also nur zwei Informationen im Sinne der hier verwendeten Definition der Information beinhaltet.

Als **analoges Signal** oder **Analogsignal** soll hier ein Signal dann bezeichnet werden, wenn es mindestens drei und höchstens abzählbar unendlich viele Zustände annehmen kann, also mehr als zwei Informationen im Sinne der hier verwendeten Definition der Information beinhaltet. Das bedeutet insbesondere, daß mittels analogen Signalen immer mehr Informationen gleichzeitig über eine Leitung übertragen werden können als mit digitalen Signalen.

### Beschreibung der Erfindung

Im folgenden wird der Aufbau einer erfindungsgemäßen funktionalen Zelle und der Aufbau des zugehörigen, die Zellen vernetzenden Bussystems beschrieben.

#### Die Zelle

Eine Zelle stellt die kleinste vollständige, selbständige funktionale Einheit eines RAPs dar. Dabei sind zwei verschiedene Typen von Zellen möglich -- die einfache Zelle und die erweiterte Zelle. Beide Zelltypen können auf einem RAP zum Einsatz kommen. Sie unterscheiden sich im Funktionsumfang.

Beiden Zelltypen gemeinsam ist die Unterteilung ihrer Struktur in eine Analogsektion und eine Logiksektion.

Einige oder alle Zellen können einen Taktvervielfacher zur Erzeugung eines lokalen, auf die Zelle beschränkten höheren

Taktes beinhalten, der beispielsweise die Zählfunktionen der Logiksektion der Zelle unterstützt. Denkbar ist auch, daß einige oder alle Zellen Strukturen zur Erzeugung eines zellinternen oder lokal begrenzten Zelltakts beinhalten können, dessen Frequenz unabhängig von der Frequenz eines etwaigen Bustakts konfiguriert werden kann. Der Zelltakt kann aktivierbar und deaktivierbar sein.

#### 10 Die einfache Zelle (SCELL)

Die Elemente der einfachen Zelle (SCELL) gliedern sich in zwei Gruppen, genannt Analogsektion und Logiksektion. Die Analogsektion dient der analogen Datenverarbeitung der analogen Eingangssignale einer Zelle, kann aber auch analoge Signale erzeugen, wie beispielsweise (aber nicht nur) ein Rechtecksignal oder ein Dreiecksignal. Die Logiksektion stellt zusätzliche nicht-analoge Funktionen zur Verfügung, insbesondere eingangsdatenabhängige logische Operationen, Vergleiche und Zählvorgänge, und steuert darüberhinaus die Tätigkeit der gesamten SCELL. Ein Element der Logiksektion ist die Steuerlogik (CL). Sie steuert die Funktionen der Analogsektion und verwaltet Signale zur Rekonfiguration der Zelle, die über die Bussysteme erhalten oder abgeschickt werden.

25 Die Analog-Eingangsstufe der SCELL ist ein Multiplexer (MUX0) nach Stand der Technik für Analogsignale. Das zu verarbeitende analoge Signal wird von einem analogen Datenbussystem (ABUS) auf die Eingänge von MUX0 geführt. MUX0, gesteuert von der CL, selektiert das von der SCELL zu verarbeitende Analogsignal und schaltet es zu der analogen Verarbeitungseinheit (APU; Analog Processing Unit) durch. Die APU ist eine konfigurierbare Einheit nach Stand der Technik. Sie enthält

Akte: PACT37

eine oder mehrere Operationsverstärkerschaltung/en, deren Funktion aus einem Satz möglicher Funktionen ausgewählt werden kann. Die Auswahl der Funktion geschieht mittels eines digitalen Signals von der CL.

5

Funktionen der APU können beispielsweise, (aber nicht nur) sein:

- 10 - Addition einer programmierbaren Größe zum analogen Eingangssignal der APU
- Subtraktion einer programmierbaren Größe vom analogen Eingangssignal der APU
- Multiplikation des analogen Eingangssignals der APU mit einer programmierbaren Größe
- 15 - Division des analogen Eingangssignals der APU durch eine programmierbare Größe, Division einer programmierbaren Größe durch das analoge Eingangssignal der APU
- Logarithmierung des analogen Eingangssignals der APU
- Antilogarithmierung des analogen Eingangssignals der APU
- 20 - Invertierung des analogen Eingangssignals der APU
- Keine Veränderung des analogen Eingangssignals der APU
- Filterfunktionen, beispielsweise Hochpässe, Tiefpässe, Bandpässe und Notchfilter
- Signalerzeugung, beispielsweise Rechtecksignale, Dreieckssignale und Sinussignale mit programmierbaren Zeitkonstanten
- 25

Das zu verarbeitende analoge Signal wird entsprechend der durch die CL programmierten Funktion in der APU verändert oder (in der Funktion eines Spannungsfolgers) nicht verändert, oder die APU dient der Erzeugung eines neuen analogen Signals. Denkbar ist insbesondere die Erzeugung eines Signals, das eine Rekonfigurationsaufforderung darstellt, und in dem die notwendigen Rekonfigurationsparameter in analoger

Akte: PACT37

Form kodiert sind. Der analoge Ausgang der APU ist an eine Speicherstufe (BIPS) angeschlossen. Die BIPS kann sich in einem von mehreren durch die CL programmierbaren Zuständen befinden, beispielsweise in einem der folgenden.

5

BUFNONINV: Das Ausgangssignal der BIPS hat denjenigen Wert, der an ihrem Eingang lag, als die BIPS ein BUFFER-Signal von der CL erhielt. Der Ausgangswert wird konstant gehalten, solange das BUFFER-Signal anliegt.

10

BUFINV: Das Ausgangssignal der BIPS hat denjenigen invertierten Wert, der an ihrem Eingang lag, als die BIPS ein BUFFER-Signal von der CL erhielt. Der Ausgangswert wird konstant gehalten, solange das BUFFER-Signal anliegt.

15

INVERT: Das Eingangssignal der BIPS wird invertiert.

PASS: Die BIPS schleift das Eingangssignal unverändert durch.

20

3STATE: Der Ausgang der BIPS nimmt einen hochohmigen Zustand ein.

25

Der Ausgang der BIPS ist mit dem Eingang eines analogen Demultiplexers (DeMUX) verbunden, dessen Ausgänge mit den Busleitungen des ABUS verbunden sind. Über die CL wird gesteuert, auf welchen Ausgang des DeMUX das verarbeitete analoge Signal geführt wird.

30

Als zusätzliches Element der Logiksektion einer SCELL zur Erweiterung des Funktionsumfanges der SCELL existiert die LOGUNIT. Sie ist in der Lage, beispielsweise folgende Funktionen durchzuführen:

16

Akte: PACT37

- digitale Zähler, die von der CL und/oder der APU gesetzt, getriggert, abgefragt rückgesetzt und angehalten werden können; diese können als grobgranulare Logikelemente gebildet sein; andere grobgranulare Logik- und/oder Funktionselemente sind gleichfalls implementierbar.

- logische Grundfunktionen, wie NAND, NOR, AND, OR, XOR, INVERT, BUFFER, die aus der CL und/oder APU stammende Informationen logisch miteinander verknüpfen können. Hier handelt es sich also um feingranulare Logikelemente. Solche Informationen können abhängig vom Status der CL und/oder der APU sein, und/oder von zu verarbeitenden Signalen. Insbesondere können solche Informationen Kriterien sein, die auch zur Bildung eines RECONREQ-Signals (Rekonfiguration-Request) führen.

#### Die erweiterte Zelle (ECELL)

Die erweiterte Zelle (ECELL) enthält in einer bevorzugten Ausführungsform eine vollständige, voll funktionale SCELL, die um zusätzliche Elemente und Funktionen erweitert wurde, um insbesondere (aber nicht nur) Schleifenoperationen ohne Zugriff auf das Bussystem durchführen zu können.

Die analoge Eingangsstufe (MUX0) ist um einen zweiten, gleichwertigen, auf den ABUS zugreifenden analogen Multiplexer (MUX1) erweitert. Mit MUX0 und MUX1 ist es möglich, statt (wie bei einer SCELL) nur einem Eingangssignal zwei Eingangssignale zur anschließenden Verarbeitung in der Zelle freizugeben. Außer den Busanschlüssen besitzen MUX0 und MUX1 jeweils zusätzlich noch einen Eingang, der auf Masse gelegt ist und einen Eingang, auf den das Ergebnissignal vom Ausgang der BIPS der ECELL zurückgeführt wird. Der Ausgang von MUX0

Akte: PACT37.

führt das von MUX0 zur Verarbeitung selektierte Analogsignal, welches ausdrücklich auch der konstante Massepegel oder das Ergebnissignal vom Ausgang der BIPS der ECELL sei kann. Der Ausgang von MUX1 führt das von MUX1 zur Verarbeitung selektierte Analogsignal, welches ebenfalls auch der konstante Massepegel oder das Ergebnissignal vom Ausgang der BIPS der ECELL sei kann.

Die Ausgangssignale von MUX0 und MUX1 werden auf die folgenden, programmierbaren Speicherstufen (BUFF0, BUFF1) geführt. BUFF0 erhält das Ausgangssignal von MUX0, BUFF1 erhält das Ausgangssignal von MUX1. BUFF0 und BUFF1 sind durch die CL konfigurierbare Einheiten, deren Funktion aus einem Satz möglicher Funktionen ausgewählt werden kann. Mögliche Funktionen von BUFF0 und BUFF1 sind beispielsweise

BUFNONINV: Der Wert des Ausgangssignals von BUFF0 bzw. BUFF1 ist gleich demjenigen analogen Eingangssignal, das anlag, als BUFF0 bzw. BUFF1 ein BUFFER-Signal von der CL erhielt. Der Ausgangswert wird konstant gehalten, solange das BUFFER-Signal anliegt.

BUFINV: Der Wert des Ausgangssignals von BUFF0 bzw. BUFF1 ist gleich demjenigen analogen Eingangssignal, das anlag, als BUFF0 bzw. BUFF1 ein BUFFER-Signal von der CL erhielt. Der Ausgangswert wird konstant gehalten, solange das BUFFER-Signal anliegt.

INVERT: Das aktuelle analoge Eingangssignal von BUFF0 bzw. BUFF1 wird invertiert.

PASS: BUFF0 bzw. BUFF1 schleift das aktuelle Eingangssignal unverändert durch.



Das Ausgangssignal von BUFF0 und das Ausgangssignal von BUFF1 werden auf jeweils einen analogen Eingang der erweiterten analogen Verarbeitungseinheit XAPU der ECELL geführt. Alle Funktionen der APU einer SCELL sind in der XAPU einer ECELL enthalten.

Im Gegensatz zur APU der SCELL besitzt die XAPU zwei analoge Eingänge, so daß in der XAPU Operationen mit zwei analogen, zeitlich konstanten oder zeitlich veränderlichen Signalen möglich sind, insbesondere die Addition, Subtraktion, Multiplikation und Division zweier solcher Signale. Es ist damit denkbar, die XAPU mittels eines analogen, zeitlich konstanten oder zeitlich veränderlichen Steuersignals zu programmieren, indem bestimmten Werten des Steuersignals bestimmte Funktionen zugewiesen werden. Darüberhinaus ist es denkbar, mit einem analogen Steuersignal der APU einen zur Ausübung einer Funktion notwendigen Parameter zu übermitteln. Wenn beispielsweise  $f(t)$  ein analoges zeitlich veränderliches (Spannungs-)Signal ist, welches mit einem zeitlich veränderlichen (Spannungs-) Signal  $g(t)$  multipliziert werden soll, kann die XAPU dann als Multiplikator nach Art eines spannungsgesteuerten Verstärkers (Voltage Controlled Amplifier, VCA) nach Stand der Technik programmiert werden, wobei  $f(t)$  an einem analogen Eingang der XAPU liegt, während  $g(t)$  am anderen analogen Eingang der XAPU liegt und das besagte Steuersignal darstellt.

Das Ausgangssignal der XAPU wird auf den Eingang der BIPS geführt. Die BIPS der ECELL und die BIPS der SCELL können gleich sein. Das Ausgangssignal der BIPS wird auf den Eingang des DeMUX geführt. Der DeMUX der ECELL und der DeMUX der SCELL können gleich sein. Außerdem wird das Ausgangssignal

19

Akte: PACT37

der BIPS über eine separate Leitung auf einen Eingang von MUX0 sowie auf einen Eingang von MUX1 geführt.

Die Logiksektion kann ein Element zur Taktvervielfachung enthalten, welches den Takt des DBUS vervielfacht, und das programmierbar sein kann. Damit kann die ECELL intern mit einem Vielfachen des DBUS-Taktes operieren.

#### Rekonfiguration einer Zelle (cellreconfig)

10 Das RECONREQ-Signal

Die Analogsektion und die Logiksektion der Zelle sind in der Weise strukturiert und verbunden, daß die Zelle bei Eintreten bestimmter Kriterien ein Signal, das RECONREQ-Signal, erzeugen kann, mit welchem sie ihre eigene Rekonfiguration oder die Rekonfiguration einer anderen oder mehrerer anderer Zellen veranlassen kann. Das RECONREQ-Signal kann digital sein und über ein separates digitales Bussystem weitergeleitet werden. Es kann aber auch analog sein und über ein separates analoges Bussystem weitergeleitet werden.

Mit einem analogen RECONREQ-Signal ist es möglich, neben den RECONREQ-Informationen noch zusätzliche Informationen, zum Beispiel die Adresse der zu rekonfigurierenden Zelle oder der zu rekonfigurierenden Zellen, gleichzeitig auf nur einer Busleitung zu übertragen.

Kriterien, die ein RECONREQ-Signal auslösen, können zum Beispiel (aber nicht nur) sein:

- 30 - Ein bestimmter Signalpegel, der von in der Zelle auftretenden Analogsignalen (zu denen auch die analogen Eingangs- und Ausgangssignale zählen) erreicht, überschritten oder unterschritten wird.

- Eine bestimmte Signaldifferenz, die zwischen in der Zelle auftretenden Analogsignalen (zu denen auch die analogen Eingangs- und Ausgangssignale zählen), erreicht, überschritten oder unterschritten wird.

- Eine bestimmte zeitliche Änderung eines Signalpegels, die von in der Zelle auftretenden Analogsignalen (zu denen auch die analogen Eingangs- und Ausgangssignale zählen) erreicht, überschritten oder unterschritten wird.

- Das Verstreichen einer bestimmten Zeitspanne.

- Das Auftreten eines bestimmten digitalen Signals oder einer bestimmten Kombination digitaler Signale in der Zelle oder an den digitalen Eingängen und/oder Ausgängen der Zelle.

Die in der obigen Auflistung genannten Signale können ausdrücklich auch von anderen Zellen oder weiteren Elementen des RAPs stammen. Außerdem können durch logische Verknüpfung (AND, OR, NAND, NOR, XOR usw.) der genannten Kriterien weitere Kriterien gebildet werden. Die Logiksektion der ECELL enthält zur logischen Verknüpfung von Kriterien geeignete Strukturen.

Die Kriterien zur Bildung eines RECONREQ-Signals werden in der CL der Zelle ausgewertet. Die CL der Zelle generiert aus diesen Kriterien ein digitales Wort (RECONREQ-Wort) mit den nötigen RECONREQ-Informationen.

Dieses RECONREQ-Wort kann in digitaler oder analoger Form von der Zelle weitergegeben werden. Dafür stehen eigene Bussysteme (RECONREQ-Bus), ein digitaler Bus und ein analoger Bus, zur Verfügung.

Soll das RECONREQ-Wort in analoger Form weitergegeben werden, so wird das digitale RECONREQ-Wort in einem Digital-Analog-Umsetzer (DAC) in analoge Form gebracht. Jede Zelle besitzt zu diesem Zweck einen solchen DAC.

Die Daten, die zur Rekonfigurierung der Zelle notwendig sind, stellen eine dafür geeignete Struktur zur Verfügung. Diese Struktur kann beispielsweise eine Ladelogik und eine Switching-Tabelle sein, wie sie in Patentanmeldung DE196 54 846.2 beschrieben sind.

#### Die Ladelogik

Die Ladelogik (LL) ist eine Struktur, die nach einem RECONREQ-Signal die Rekonfiguration der betreffenden Zelle oder der betreffenden Zellen durchführt. Mehrere Zellen stehen mit jeweils einer einzigen LL über den RECONREQ-Bus in Verbindung. Diese Zellen bilden mit der zugehörigen LL einen Cluster. Jede Zelle eines Clusters kann ein RECONREQ-Signal an ihre LL absetzen und so jede Zelle desselben Clusters zur Rekonfiguration auffordern. Andere Möglichkeiten, eine Rekonfiguration anderer Zellen auszulösen, bestehen gleichfalls. Ein Baustein kann mehrere Cluster enthalten. Die LLs dieser Cluster stehen untereinander über ein Bussystem in Verbindung und können somit Informationen austauschen. Solche Informationen können insbesondere Adressen von umzukonfigurierenden Zellen sein. Dadurch ist es jeder beliebigen Zelle des RAPs möglich, jede beliebige Zelle des RAPs zur Rekonfiguration aufzufordern.

Die LL kann entsprechend PACT\_SWT (vergl. zitierte Patentanmeldung) aufgebaut sein und kann damit digitale RECONREQ-

Worte direkt verarbeiten. Die LL benötigt für die Verarbeitung eines analogen RECONREQ-Wortes jedoch analoge Vorstufen, nämlich eine analoge Selektierstufe (ASELSTAGE) und eine Analog-Digital-Wandlerstufe (ADC). Die Aufgabe der ASELSTAGE ist es, zu prüfen, ob und an welchem analogen RECONREQ-Bus ein RECONREQ-Signal anliegt. Ist ein RECONREQ-Signal auf einem analogen RECONREQ-Bus vorhanden, so wird dieser Bus von der ASELSTAGE selektiert und zur weiteren Verarbeitung auf den ADC geschaltet, welcher das analoge RECONREQ-Wort in ein digitales RECONREQ-Wort zurückwandelt, das von der LL verarbeitet werden kann.

Die ASELSTAGE kann auf verschiedene Arten realisiert werden. Eine Möglichkeit ist die Verwendung eines Multiplexers, eine andere die Verwendung eines Arbiters.

**ASELSTAGE als Multiplexer.** Die analogen RECONREQ-Busse der von der LL überwachten Zellen liegen an den Eingängen eines getakteten Analogmultiplexers nach Stand der Technik. Bei jedem Takt wird der Multiplexer um einen Eingang weitergeschaltet, so daß bei jedem Takt ein anderer Bus am Ausgang des Multiplexers liegt. Ein Komparator überwacht den Ausgang des Multiplexers. Wenn kein analoges RECONREQ-Signal am Ausgang des Multiplexers liegt, hat der Ausgang des Multiplexers einen bestimmten Pegel, beispielsweise 0 Volt. Liegt ein RECONREQ-Signal an, liegt ein anderer Pegel am Ausgang des Multiplexers, was den Komparator dazu veranlaßt, das RECONREQ-Signal auf den nachfolgenden ADC zu schalten. Alternativ und/oder zusätzlich können mehrere Komparatoren vorgesehen sein, die das Signal mit unterschiedlichen Signalpegeln vergleichen und so unmittelbar eine Auswertung bewirken. Dies bietet sich insbesondere an, wenn nur wenige Signalstufen zu unterscheiden sind.

**ASELSTAGE als Arbitr.** Die analogen RECONREQ-Busse der Zellen eines Clusters werden zunächst auf die Eingänge eines analogen Multiplexers (AMUX) geführt. Liegt an einem der analogen RECONREQ-Busse ein RECONREQ-Signal an, so wird dieser Bus durch den AMUX selektiert und das anliegende RECONREQ-Wort auf den Ausgang des AMUX geschaltet.

### Bussysteme

Ein RAP enthält bevorzugt zumindest zwei voneinander unabhängige, flexible Bussysteme zur Vernetzung der einzelnen Zellen und zur Verbindung des RAPs mit der Außenwelt. Die bevorzugten Bussysteme können konfiguriert und während der Laufzeit rekonfiguriert werden, ohne daß die Tätigkeit des RAP unterbrochen werden muß. Die Bussysteme können mit Eigenschaften ausgestattet sein, wie sie in Patentanmeldung DE 197 04 742.4 beschrieben sind. Unterschieden wird hier das analoge Bussystem und das digitale Bussystem.

### **Das analoge Bussystem (ABUS)**

Das analoge Bussystem ABUS dient der Übermittlung der zu bearbeitenden, bereits bearbeiteten oder neu erzeugten analogen Daten und analogen Signale von außen an die Zellen und/oder zwischen den Zellen. Insbesondere ist es mit dem ABUS möglich, Zellen zu kaskadieren, um auf diese Weise ein analoges Signal in mehreren aufeinanderfolgenden Operationen zu bearbeiten, wobei eine Operation von jeweils einer Zelle durchgeführt wird.

Der ABUS kann mit jeder seiner Leitungen mehrere, insbesondere mehr als zwei Informationen gleichzeitig übertragen, zum Beispiel 256 Informationen. Der ABUS kann mit einer festen oder variablen Frequenz getaktet sein oder asynchron, das heißt nicht getaktet, sein. Die Implementierung des ABUS kann

24

Akte: PACT37

in einer Art und Weise erfolgen, wie sie in Patentanmeldung DE 197 04 742.4 beschrieben ist.

#### **Das digitale Bussystem (DBUS)**

5 Neben dem ABUS existiert auf dem RAP ein zweites Bussystem, genannt DBUS.

Der DBUS ist getaktet und dient der Distribution digitaler Daten, beispielsweise Konfigurationsdaten und Statusdaten, zwischen den Zellen. Die Logiksektion jeder Zelle ist an den DBUS angeschlossen. Die Implementierung des DBUS kann in ei-  
10 ner Art und Weise erfolgen, wie sie in Patentanmeldung DE 197 04 742.4 beschrieben ist.

#### Kurzbeschreibung der Figuren

15 Figur 1 zeigt den Aufbau einer einfachen Zelle  
Figur 2 zeigt den Aufbau einer erweiterten Zelle  
Figur 3 zeigt eine mögliche Art der Realisierung von BUFF0 bzw. BUFF1  
Figur 4 zeigt, wie beispielsweise der Ausdruck  $f(t)^g(t)$  be-  
20 rechnet werden kann.

#### Detailbeschreibung der Figuren

25 **Figur 1** zeigt den Aufbau einer einfachen Zelle (SCELL). Sie besteht aus der Digitalsektion (0101) und der Analogsektion (0102). Zentrales Element der Logiksektion ist die Steuerlogik CL (0110), die über den DBUS (0130) mit anderen Zellen, zusätzlichen Strukturen wie beispielsweise einer Ladelogik.  
30 und/oder einer Switching-Tabelle, wie sie in Patentanmeldung DE 196 54 846.2 beschrieben sind, und/oder der Außenwelt kommunizieren kann.

25

Akte: PACT37

Der Multiplexer MUX0 (0121) ist an den ABUS (0131) angeschlossen. Sofern ein Analogsignal von der SCELL zu verarbeiten ist, selektiert MUX0 (0121), über die Leitungen (0141) von der Steuerlogik CL (0101) oder einer anderen geeigneten Struktur gesteuert, diejenige Leitung des ABUS (0131), auf der das zu verarbeitende Analogsignal anliegt. Der Ausgang von MUX0 (0121) ist über die Leitung 0146 mit der analogen Verarbeitungseinheit APU (0120) verbunden. In ihr wird das von MUX0 selektierte Signal verarbeitet, sofern ein Signal selektiert wurde, oder die APU generiert ein Signal, welches ein RECONREQ-Signal sein kann, oder die APU verharrt in einem vordefinierten Ruhezustand. Das Verhalten der APU wird von der CL (0101) über die Leitungen 0143 gesteuert. Diese Leitungen (0143) können bidirektional ausgeführt sein, so daß die APU in der Lage ist, abhängig von bestimmten Ereignissen und Kriterien Signale an die CL (0101) zu schicken. Die Kriterien können solche sein, die beispielsweise auch zur Erzeugung eines RECONREQ-Signals führen. Ein erzeugtes Signal kann insbesondere ein RECONREQ-Signal, wie in Abschnitt *cellrecon-*  
*fig* beschrieben, sein. Das von der APU verarbeitete oder erzeugte Signal gelangt über die Leitung 0149 auf eine Speicherstufe BIPS (0124), deren Funktion von der CL (0101) gesteuert wird. Dabei stehen die in Abschnitt *sceil* beschriebenen Funktionen BUFNONINV, BUFINV, INVERT, PASS, 3STATE zur Verfügung. Am Ausgang der BIPS wird das Analogsignal von einem Demultiplexer DeMUX (0125) übernommen, der es, gesteuert von der CL über Leitung 0145 oder einer anderen geeigneten Struktur, auf den ABUS 0131 schaltet.

Die Logiksektion (0101) der SCELL besteht aus der CL (0110) und der LOGUNIT (0111), die über die Leitung 0140 miteinander in Verbindung stehen.



**Figur 2** zeigt den Aufbau einer erweiterten Zelle (ECELL).

Sie ist funktionell unterteilt in eine Analogsektion (0202) und eine Logiksektion (0201). Die analogen Multiplexer MUX0 (0221) und MUX1 (0222) selektieren, gesteuert von der CL (0210) der ECELL, die beiden Analogsignale, die von der ECELL verarbeitet werden sollen. MUX0 selektiert dabei das erste Analogsignal, MUX1 selektiert das zweite Analogsignal. Für die Herkunft der beiden zu verarbeitenden Analogsignale gibt es drei Möglichkeiten.

Entweder stammt das erste und/oder das zweite Analogsignal vom ABUS, oder das erste und/oder das zweite Analogsignal sind identisch mit der festen Massebezugsspannung GND, oder das erste und/oder das zweite Analogsignal sind identisch mit dem Ausgangssignal der BIPS (0225), welches mittels der Leitung 0252 auf jeweils einen Eingang von MUX0 und MUX1 zurückgeführt wird. Das erste Analogsignal gelangt von MUX0 über die Leitung 0246 auf BUFF0 (0223). Das zweite Analogsignal gelangt von MUX1 über die Leitung 0247 auf BUFF1 (0224). Die beiden Analogsignale können in BUFF0 bzw. BUFF1 gemäß den in Abschnitt über die Ecell beschriebenen Betriebsarten von BUFF0 und BUFF1 verändert werden. BUFF0 und BUFF1 können über die Leitung 0242 unabhängig voneinander durch die CL (0210) gesteuert werden. Das analoge Ausgangssignal von BUFF0 (0223) gelangt über die Leitung 0248 auf den ersten Analogeingang der XAPU (0220). Das analoge Ausgangssignal von BUFF1 (0224) gelangt über die Leitung 0249 auf den zweiten Analogeingang der XAPU (0220). Die XAPU (0220) verarbeitet die beiden analogen Eingangssignale zu einem analogen Ausgangssignal gemäß der durch die CL (0210) über die Leitung 0243 programmierten Funktion, wie in Abschnitt Ecell beschrieben. Das analoge Ausgangssignal der XAPU (0220) wird mittels der Leitung 0250 an eine weitere Speicherstufe (BIPS, 0225) übertragen. Die BIPS der ECELL und die BIPS der SCELL können gleich sein.

27

Akte: PACT37

Die Funktion der BIPS (0225) wird von der CL (0210) durch die Leitung 0244 gesteuert. Das analoge Ausgangssignal der BIPS wird durch die Leitung 0251 auf den Demultiplexer (DeMUX, 0226) übertragen, der das Signal auf den ABUS (0231) aufschaltet. Der DeMUX wird von der CL (0210) gesteuert.

Die Logiksektion (0201) der ECELL besteht aus einer vollständigen Logiksektion, wie sie in einer SCELL zu finden ist, also der CL (0210) und der LOGUNIT (0211), die über die Leitung (0240) miteinander in Verbindung stehen. Die Logiksektion der ECELL ist darüberhinaus in der Lage, die XAPU (0120) mit ihrem gegenüber der APU einer SCELL erweiterten Funktionsumfang zu steuern und zu verwalten. Beispielsweise logische Operationen wie beispielsweise NAND, NOR, AND, OR, XOR ermöglichen. Eingangsvariablen solcher Operationen können solche Kriterien sein, die auch zur Bildung eines RECONREQ-Signals führen, aber auch digitale Signale, die eigens dafür erzeugt werden.

**Figur 3** zeigt eine mögliche Art der Realisierung von BUFF0 bzw. \ BUFF1. OP0 ist ein Operationsverstärker, der so beschaltet ist, daß er das am Eingang IN liegende analoge Signal wahlweise invertiert oder durchschleift. Die Betriebsart wird durch DeMUX0 ausgewählt. Wenn am Steuereingang NONINV INV eine logische 0 liegt, wird das Eingangssignal durchgeschleift, wenn am Steuereingang NONINV INV eine logische 1 liegt, wird das Eingangssignal invertiert. Über DeMUX1 wird entschieden, ob das Signal im Kondensator C zwischengespeichert wird (BUFFER), oder ob es ohne Zwischenspeicherung am Ausgang OUT von OP1 zur Verfügung steht (PASS). Zwischenspeicherung erfolgt, wenn der Steuereingang BUFF PASS eine logische 0 erhält.

Keine Zwischenspeicherung erfolgt, wenn der Steuereingang  
BUFF PASS eine logische 1 erhält.

5 **Figur 4** zeigt, wie beispielsweise der Ausdruck  $f(t)^{g(t)}$  be-  
rechnet werden kann.

Dazu wird in der ersten Zelle  $f(t)$  logarithmiert, das bedeu-  
tet, von  $f(t)$  wird der Logarithmus zur beliebigen, aber fe-  
sten Basis  $a$  gebildet. Dazu kann eine SCELL dienen, die als  
10 Logarithmierer konfiguriert ist. Das Ergebnis dieser Operati-  
on wird in der zweiten Zelle mit  $g(t)$  multipliziert. Dazu  
kann eine ECELL dienen, die beide Signale nach Art eines  
spannungsgesteuerten Verstärkers miteinander multipliziert.  
In der dritten Zelle wird die Basis  $a$  mit dem Ergebnis der  
15 Multiplikationsoperation potenziert. Dazu kann eine SCELL  
dienen, die als Delogarithmierer konfiguriert ist. Das Ergeb-  
nis der Delogarithmierungsoperation entspricht dem Ausdruck  
 $([f(t)]^{g(t)})$ .

20 Vorstehend wurde beschrieben, wie eine Einheit mit konfigu-  
rierbaren analogen Einheiten aufgebaut werden kann. Es wurde  
vorgeschlagen, analoge Signale für Arbeiten mit Zellen so  
auszubilden, dass sie im Betrieb anderer Zellen rekonfigu-  
rierbar sind und es wurde vorgeschlagen, ihnen dafür eine ge-  
25 eignete Beschaltung zuzuordnen. Es ist nun einzuschätzen,  
dass die Möglichkeit besteht, einen Baustein zu bilden, bei  
welchem eine Signalverarbeitung sowohl analog als auch digi-  
tal erfolgt. Es ist dann möglich, die digitale Signalverar-  
beitung gleichfalls mit rekonfigurierbaren Bauelementen vor-  
30 zusehen, etwa durch ein multidimensionales Feld rekonfigu-  
rierbarer digitaler Einheiten, wie es in den verschiedenen  
Patentanmeldungen des vorliegenden Anmelders beschrieben wur-  
de. Um die erforderliche Wandlung vorzusehen, können einzelne

5

15

## Glossar

**ABUS:** Analoges Bussystem, das die Zellen untereinander vernetzt und der Übertragung der analogen Signale dient..

**Analogsektion:** Eine der beiden Untereinheiten einer Zelle. Die Analogsektion dient der analogen Datenverarbeitung der analogen Eingangssignale einer Zelle, kann aber auch durch die APU analoge Signale erzeugen, wie beispielsweise (aber nicht nur) ein Rechtecksignal oder ein Dreiecksignal.

**APU:** Analog Processing Unit, analoge Verarbeitungseinheit. Untereinheit der Analogsektion einer Zelle. Die APU ist ein analoges Rechenwerk und ein Signalgenerator zur Erzeugung und/oder Weiterverarbeitung analoger Signale. Die APU wird durch die CL gesteuert und konfiguriert.

**BIPS:** Buffer/Pass/Invert Stage. Untereinheit der Analogsektion einer Zelle. Analoge, konfigurierbare Speicherstufe, die das Ausgangssignal der APU zwischenspeichern kann.

**BUFF0, BUFF1:** Untereinheit der Analogsektion einer ECELL. BUFF0 und BUFF1 sind durch die CL konfigurierbare analoge Speicherstufen zur Vorverarbeitung eines analogen Signals.

**BUFFER-Signal:** Signal, das die in der Analogsektion enthaltenen Speicherstufen BUFF und BIPS getrennt oder gemeinsam auffordert, das an den Eingängen der jeweiligen Speicherstufe anliegende Signal zu speichern.

**CL:** Control Logic, Steuerlogik. Untereinheit der Logiksektion einer Zelle. Sie steuert die Funktionen der Analogsektion und

38

Akte: PACT37

verwaltet RECONREQ-Signale, die die Zelle erzeugt oder über ein Bussystem erhält.

**DBUS:** Datenbussystem für digitale Signale, das die Zellen untereinander und mit der Außenwelt vernetzt. Siehe Abschnitt \ref{dbus}.

**DeMUX:** Analoger Demultiplexer nach Stand der Technik. Untereinheit der Analogsektion einer Zelle. Der DeMUX dient der Aufschaltung der in der Analogsektion erzeugten oder verarbeiteten Analogsignale auf den ABUS. Der DeMUX wird von der CL gesteuert.

**ECELL:** Erweiterte Zelle. Um zusätzliche Funktionen erweiterte SCELL. Mit einer ECELL lassen sich insbesondere (aber nicht nur) Schleifenfunktionen ohne Zugriff auf ein Bussystem durchführen.

**GND:** Konstanter Bezugsspannungspegel.

**Logiksektion:** Eine der beiden Untereinheiten einer Zelle. Die Logiksektion stellt zusätzlich zu den analogen Funktionen der Analogsektion nicht-analoge Funktionen zur Verfügung, insbesondere eingangsdatenabhängige logische Operationen, Vergleiche und Zählvorgänge, und steuert darüberhinaus die Tätigkeit der gesamten SCELL. Ein Element der Logiksektion ist die CL.

**LOGUNIT:** Untereinheit der Logiksektion einer Zelle. Die LOGUNIT stellt Funktionen zur Verfügung, die zur logischen Verknüpfung von Signalen dienen. Außerdem kann sie digitale Zähler zur Durchführung von digitalen Zählfunktionen enthalten.

**MUX0, MUX1:** Analoge Demultiplexer nach Stand der Technik. Untereinheiten der Analogsektion einer SCELL bzw. einer ECELL. MUX0 und MUX1 dienen der Selektion jeweils eines der vom ABUS an die SCELL bzw. ECELL herangeführten Analogsignale welche/s dann in der Zelle weiterverarbeitet werden/wird.

**RAP:** Reconfigurable Analog Processor; analoges, umkonfigurierbares Rechenwerk. Begriff für eine Einheit, die aus mindestens mehreren Zellen, mindestens einem ABUS und mindestens einem DBUS besteht.

**RECONREQ-Signal:** Analogsignal oder Digitalsignal, das von einer Zelle erzeugt wird, um ihre eigene Rekonfiguration oder die Rekonfiguration einer oder mehrerer anderer Zellen zu veranlassen.

**SCELL:** Einfache Zelle. Zelle, die nur diejenigen Elemente enthält, die für die Grundfunktionen benötigt werden.

**Zelle:** Kleinste selbständige funktionale Einheit eines RAPs. Eine Zelle enthält mindestens eine Analogsektion und mindestens eine Logiksektion. Es existieren zwei Arten von Zellen: die einfache Zelle SCELL und die erweiterte Zelle ECELL.

33

Akte: PACT37

Anmelder: Pact XPP Technologies AG  
Muthmannstr. 1  
80939 München

5 Vertreter: Patentanwalt  
Claus Peter Pietruk  
Heinrich-Lilienfein-Weg 5  
D-76229 Karlsruhe  
Vertreter-Nr. 321 605

10 Deutsche Patentanmeldung

15 Titel: Analoge rekonfigurierbare Datenverarbeitungseinrichtung

#### Patentanspruch

- 20
- 25 1. Analoge rekonfigurierbare Signalverarbeitungsvorrichtung mit einer Vielzahl von miteinander, insbesondere konfigurierbar verknüpfbaren Signalverarbeitungsschaltkreisen, die in ihrer Funktion veränderlich sind, wobei diese einen Ausgang aufweisen, über welchen eine Umkonfigurierung angefordert und/oder eine Akzeptierung einer Umkonfiguration vorgesehen werden kann, wobei weiter eine Rekonfigurationseinheit zur Vorgabe von Konfigurationen für die
- 30 Analogsignal verarbeitenden Schaltkreise vorgesehen ist.



Akte: PACT37

Anmelder: Pact XPP Technologies AG  
Muthmannstr. 1  
80939 München

5 Vertreter: Patentanwalt  
Claus Peter Pietruk  
Heinrich-Lillienfein-Weg 5  
D-76229 Karlsruhe  
10 Vertreter-Nr: 321 605

#### Zusammenfassung

15 Die Erfindung betrifft eine analoge rekonfigurierbare Signal-  
verarbeitungsvorrichtung mit einer Vielzahl von miteinander,  
insbesondere konfigurierbar verknüpfbaren Signalverarbei-  
tungsschaltkreisen, die in ihrer Funktion veränderlich sind.  
Hierbei ist vorgesehen, dass diese einen Ausgang aufweisen,  
20 über welchen eine Umkonfigurierung angefordert und/oder eine  
Akzeptierung einer Umkonfiguration vorgesehen werden kann,  
wobei weiter eine Rekonfigurationseinheit zur Vorgabe von  
Konfigurationen für die Analogsignal verarbeitenden Schalt-  
kreise vorgesehen ist.

25

-----

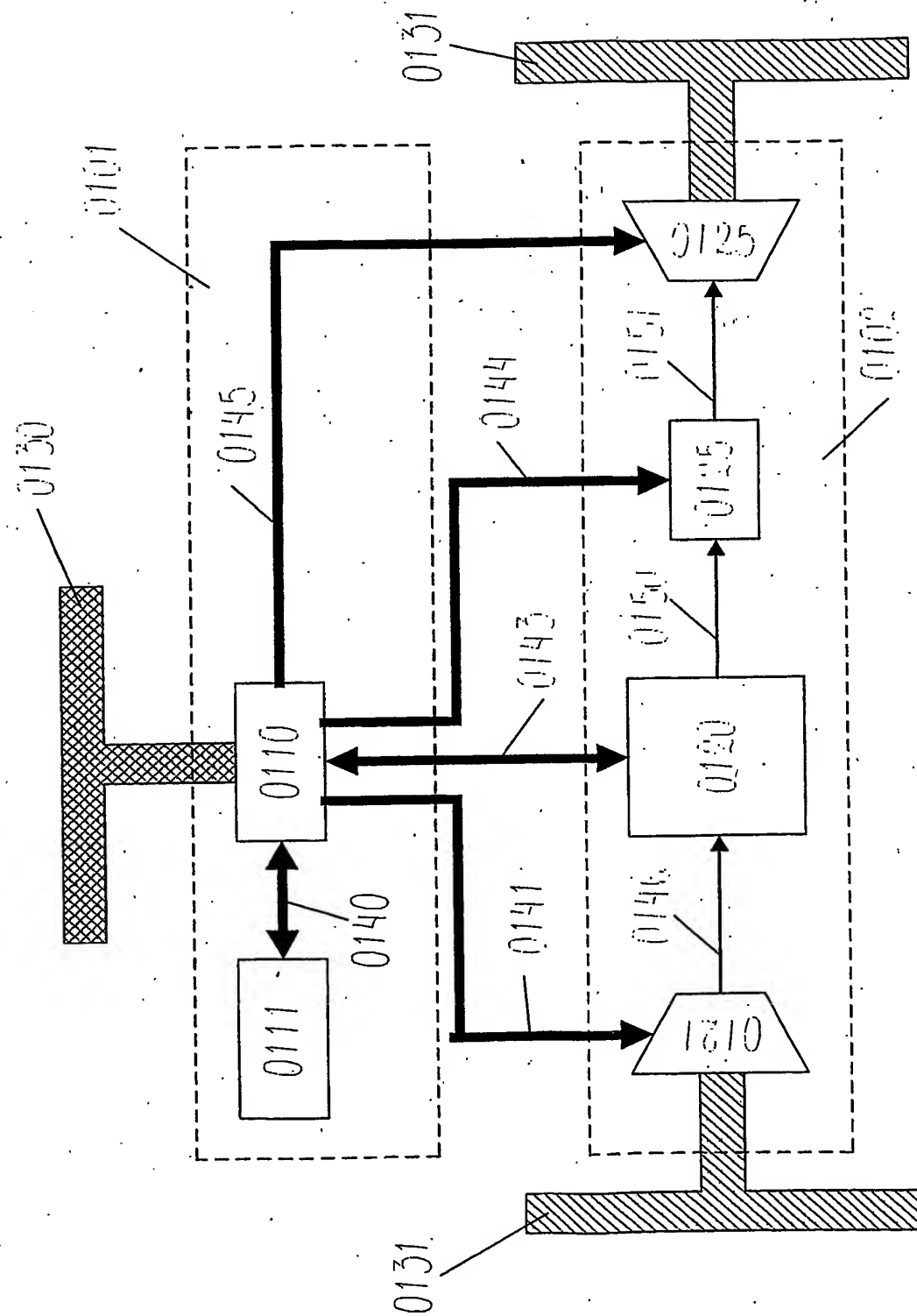


Fig. 1



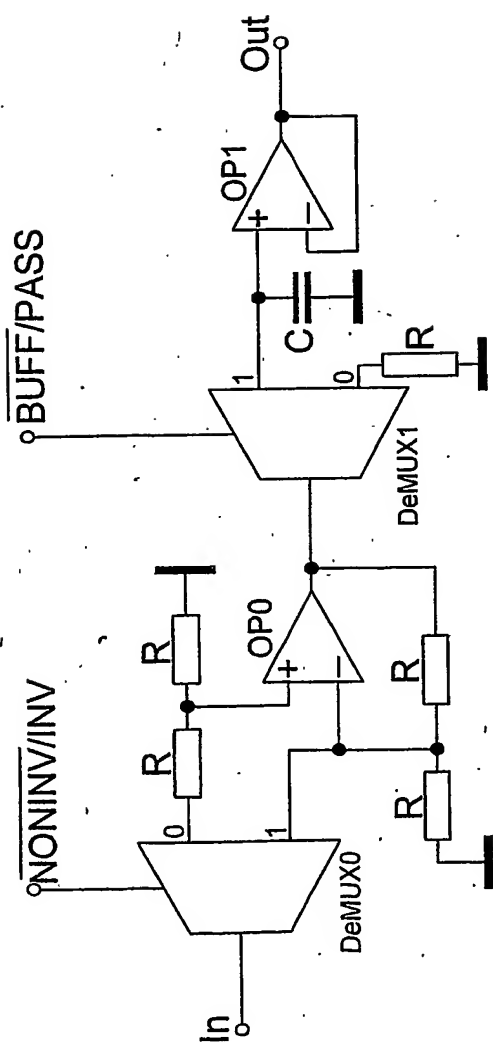
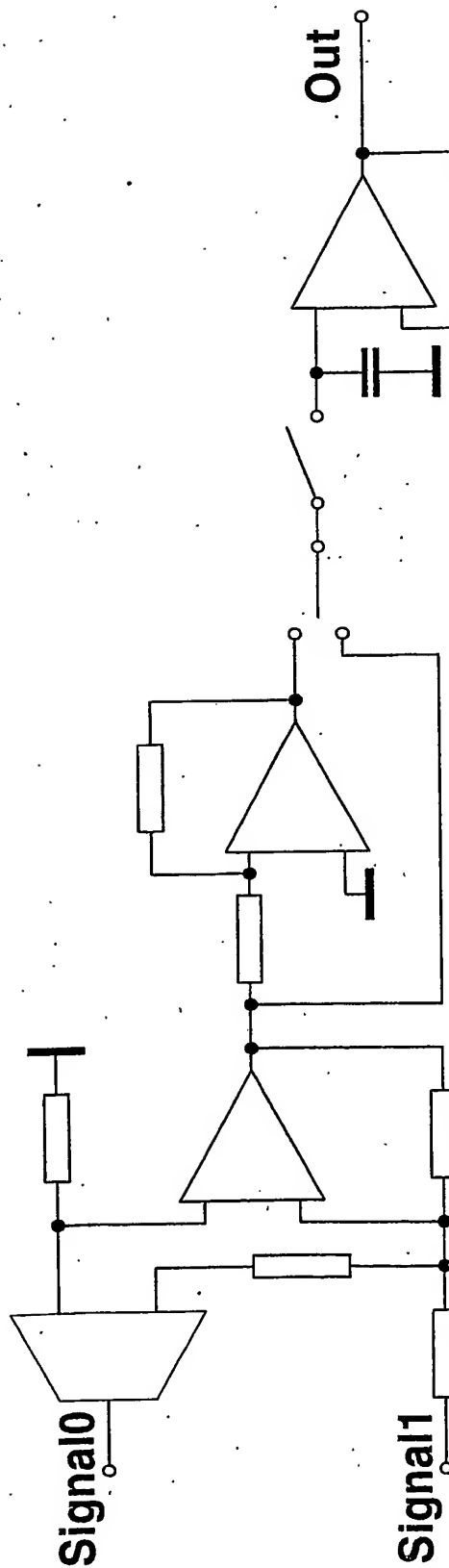


Fig. 3



$$\{f(t)\}^{g(t)} = a^{\{g(t) \cdot \log_a(f(t))\}}$$

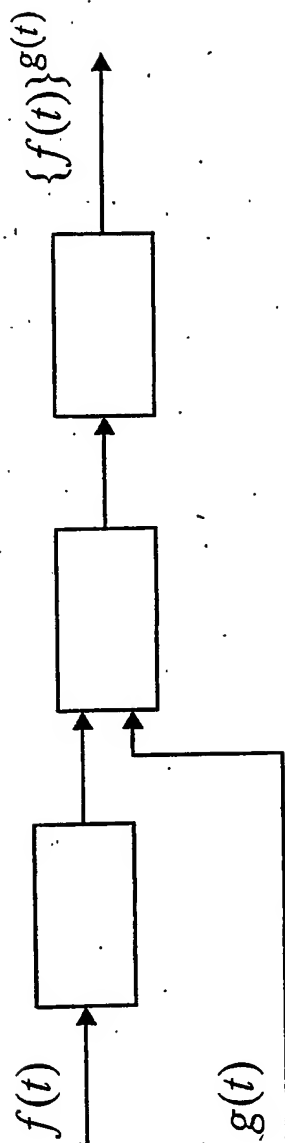


Fig. 4

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**